

PATENT



Customer No.31561
Docket No.: 10958-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chia-Tien Peng et. al
Application No. : 10/604,651
Filed : August 7, 2003
For : LOW TEMPERATURE POLYSILICON THIN FILM
TRANSISTOR AND METHOD OF MANUFACTURING
THE SAME
Examiner :

COMMISSIONER FOR PATENTS

2011 South Clark Place

Crystal Plaza Two, Lobby, Room 1B03

Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:92108769,
filed on:2003/04/16.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: October 22, 2003

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

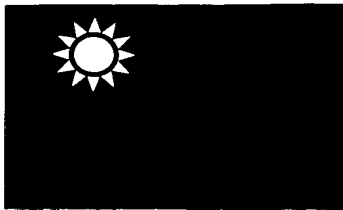
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 16 日
Application Date

申請案號：092108769
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 13 日
Issue Date

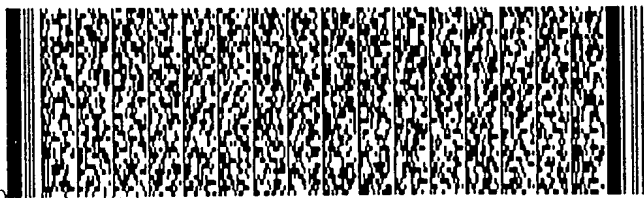
發文字號：09220825530
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	低溫多晶矽薄膜電晶體及其製造方法
	英 文	Low temperature poly-Si thin film transistor and method of manufacturing the same
二、 發明人 (共2人)	姓 名 (中文)	1. 彭佳添
	姓 名 (英文)	1. Chia-Tien Peng
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹北市白地街239巷9弄10號
	住居所 (英 文)	1. No. 10, Alley 9, Lane 239, Paiti St., Chupei City, Hsinchu Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. Au Optronics Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Kun-Yao Lee

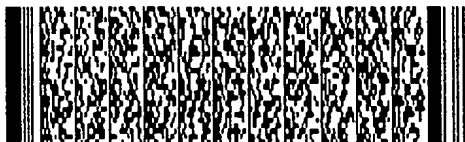


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 孫銘瑋
	姓 名 (英文)	2. MING WEI SUN
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 高雄市左營區崇德路342號9樓之3
	住居所 (英 文)	2. 9F1.-3, No. 342, Chungde Rd., Tzuoying Chiu, Kaohsiung, Taiwan 813, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體及其製造方法)

一種低溫多晶矽薄膜電晶體及其製造方法，此一低溫多晶矽薄膜電晶體包括一通道區，其製造方法的特徵在於對通道區進行一電漿處理製程，以調整低溫多晶矽薄膜電晶體的啟動電壓。由於進行電漿處理即可調整低溫多晶矽薄膜電晶體的啟動電壓，所以可增加製程彈性。

伍、(一)、本案代表圖為：第___1B___圖

(二)、本案代表圖之元件代表符號簡單說明：

100：基板

102：氮化矽層

104：氧化矽層

106：非晶矽層

108：電漿處理製程

陸、英文發明摘要 (發明名稱：Low temperature poly-Si thin film transistor and method of manufacturing the same)

A low temperature poly-Si thin film transistor and method of manufacturing the same are provided. The low temperature poly-Si thin film transistor comprises a channel region. The feature of the method is to perform a plasma treatment to reduce the threshold voltage of the low temperature poly-Si thin film transistor. Because the threshold voltage of the low



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體及其製造方法)

陸、英文發明摘要 (發明名稱：Low temperature poly-Si thin film transistor and method of manufacturing the same)

temperature poly-Si thin film transistor can be reduced by the plasma treatment, it can improve manufacture changeability.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

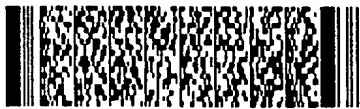
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

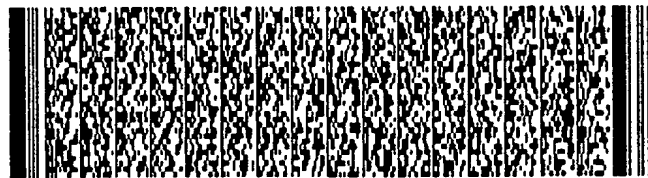
發明所屬之技術領域

本發明是有關於一種低溫多晶矽(low temperature poly-Si，簡稱LTPS)薄膜電晶體(thin film transistor，簡稱TFT)及其製作方法，且特別是關於一種製程彈性高的低溫多晶矽薄膜電晶體的製作方法。

先前技術

隨著高科技之發展，數位化之視訊或影像裝置已經成為在一般日常生活中所常見的產品。這些數位化之視訊或影像裝置中，顯示器是一個重要元件。使用者可由顯示器讀取資訊，或進而控制裝置的運作。

而薄膜電晶體(TFT)可應用於液晶顯示器(liquid crystal display，簡稱LCD)之驅動元件，使得此項產品成為桌上直式型平面顯示器之主流，於個人電腦、遊樂器、監視器等市場成為未來主導性產品。目前，在薄膜電晶體液晶顯示器中有一種利用多晶矽技術所製得的薄膜電晶體，其電子遷移率較一般傳統的非晶矽(amorphous silicon，簡稱a-Si)薄膜電晶體技術所得之電子遷移率大得多，因此可使薄膜電晶體元件做得更小，開口率增加(aperture ratio)進而增加顯示器亮度，減少功率消耗的功能。另外，由於電子遷移率之增加可以將部份驅動電路隨同薄膜電晶體製程同時製造於玻璃基板上，大幅提升液晶顯示面板的特性及可靠度，使得面板製造成本大幅降低，因此製造成本較非晶矽薄膜電晶體液晶顯示器低出許多。再加上多晶矽具有厚度薄、重量輕、解析度佳等特



五、發明說明 (2)

點，特別適合應用於要求輕巧省電的行動終端產品上。然而，以傳統方式退火非晶矽形成多晶矽時，其形成溫度需攝氏600度以上，故一般使用石英(quartz)作為基板。但是，石英基板成本比玻璃基板貴上許多，且在基板尺寸的限制下，面板大約僅有2至3吋，因此過去只能發展小型面板。

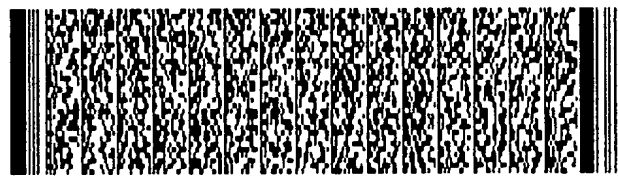
目前為了降低成本必須使用玻璃基板，故須使多晶矽之形成溫度降低至攝氏500度以下。因此，許多降低多晶矽之形成溫度的方法紛紛被採用，其中以雷射熱退火製程較受矚目，因為前述製程均可生長高品質、無污染及低缺陷密度(low defect density)之多晶矽，以前述低溫製程製作的多晶矽薄膜電晶體又稱為「低溫多晶矽薄膜電晶體」。

另外，目前使用於低溫多晶矽薄膜電晶體的啟動電壓(threshold voltage)之調整方式為離子植入製程(ion implantation)或是離子射叢製程(ion shower)。然而，前述製程都必須使用離子植入製程用機台，因而限定其製程彈性。

發明內容

因此，本發明之目的是提供一種低溫多晶矽薄膜電晶體及其製造方法，以於調整低溫多晶矽薄膜電晶體的啟動電壓時可選擇採用電漿化學氣相沈積機台，進而增加製程彈性。

根據上述與其它目的，本發明提出一種低溫多晶矽薄



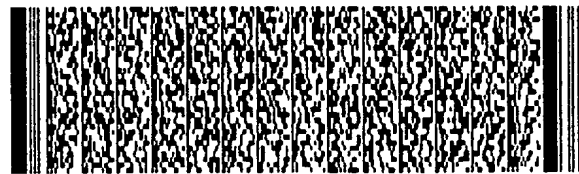
五、發明說明 (3)

膜電晶體的製造方法，且此低溫多晶矽薄膜電晶體包括通道區，其特徵在於對通道區進行一電漿處理製程，以調整低溫多晶矽薄膜電晶體的啟動電壓。

本發明又提出一種低溫多晶矽薄膜電晶體的製造方法，包括先於一基板上形成一非晶矽層。隨後，進行一電漿處理(plasma treatment)製程，以調整啟動電壓。之後，進行一雷射熱退火製程，以使非晶矽層成為一多晶矽層。接著，圖案化多晶矽層，以形成數個島狀多晶矽層，再於每一島狀多晶矽層中分別形成一通道區與位於通道區兩側之一源極/汲極摻雜區。然後，於通道區上形成一閘極。

依照本發明之實施方法所述，上述進行電漿處理製程之步驟，係使用含氧的電漿如一氧化二氮電漿(N_2O plasma)，以使薄膜電晶體的啟動電壓往負的方向調整，或者使用含氫的電漿如氮電漿(NH_3 plasma)或氫電漿(H_2 plasma)，以使薄膜電晶體的啟動電壓往正的方向調整。另外，電漿處理製程更可以藉由調整射頻電源(RF Power)或製程時間(process time)，以決定啟動電壓的改變量(shift)大小。

本發明另外提出一種低溫多晶矽薄膜電晶體，包括一多晶矽層、一閘極以及一閘極絕緣層。閘極絕緣層位於閘極與該多晶矽層之間，其中多晶矽層具有一通道區，其特徵在於通道區的氧濃度在 $1E19-1E23$ atoms/cc之間以及氮濃度在 $5E16-1E19$ atoms/cc之間。



五、發明說明 (4)

由於本發明利用既有的設備如電漿化學氣相沈積(PECVD)機台去進行電漿處理製程，以使薄膜電晶體的啟動電壓往正或負的方向調整，所以不需像習知必需採用離子植入製程機台，故本發明可增進製程彈性。

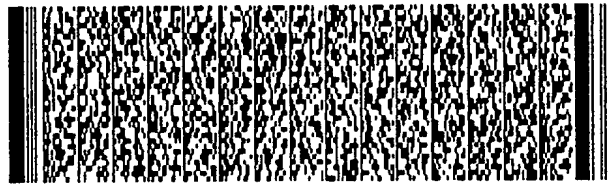
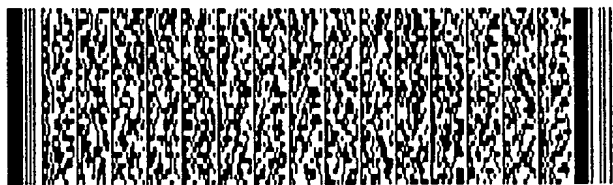
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第1A圖至第1J圖係依照本發明之一較佳實施例之低溫多晶矽(low temperature poly-Si，簡稱LTPS)薄膜電晶體(thin film transistor，簡稱TFT)的製造流程剖面圖。

請參照第1A圖，於一基板100上先選擇性地形成一緩衝層(buffer layer)，其中緩衝層例如是一氮化矽層102以及一氧化矽層104所組成的堆疊層，其作用在於增進基板100與後續形成之多晶矽層的附著性以及當基板100中有鈉等金屬離子時，用以防止基板100中的金屬離子污染多晶矽層。然後，於氧化矽層104上形成一非晶矽(amorphous silicon，又稱a-Si)層106。

隨後，請參照第1B圖，進行一電漿處理(plasma treatment)製程108，以調整低溫多晶矽薄膜電晶體之啟動電壓(threshold voltage)，其中電漿處理製程是利用既有的設備如電漿化學氣相沈積(PECVD)機台來進行的製程，而其譬如使用含氧的電漿如一氧化二氮電漿(N_2O)



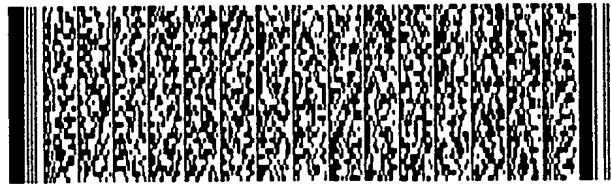
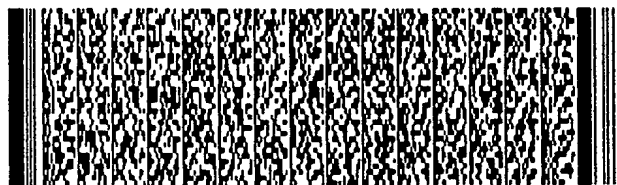
五、發明說明 (5)

plasma)，以使啟動電壓往負的方向調整，或者使用含氮的電漿如氮電漿(NH_3 plasma)或氫電漿(H_2 plasma)，以使啟動電壓往正的方向調整。另外，電漿處理製程108更可以藉由調整射頻電源(RF Power)或製程時間(process time)，以決定啟動電壓的改變量(shift)大小。

接著，請參照第1C圖，進行一雷射熱退火製程，譬如準分子雷射退火製程(excimer laser annealing，簡稱ELA)，且如圖中代表雷射110之空白箭號及其掃描方向112，以使熔融的非晶矽層106再結晶成為多晶矽層114。

然後，請參照第1D圖，圖案化多晶矽層114，以形成數個島狀多晶矽層114a、114b。由於多晶矽本身的電子遷移率高，所以通常在進行薄膜電晶體陣列的製程時，可以一併於顯示區外圍之周邊電路區製作周邊電路，如互補式金氧半導體(CMOS)，所以之後描述同時形成P型與N型薄膜電晶體的CMOS製程，其中島狀多晶矽層114a譬如預形成P型薄膜電晶體的一部份，而島狀多晶矽層114b譬如預形成N型薄膜電晶體的一部份。但是，本發明並非侷限於同時製作P型與N型薄膜電晶體的製造流程，而僅是以本實施例當作說明本發明特徵的一個例子。

之後，請參照第1E圖，於基板100上形成一圖案化光阻層116，以覆蓋島狀多晶矽層114a以及部分島狀多晶矽層114b，並暴露出島狀多晶矽層114b兩側上表面。之後，進行一n+摻雜製程118，以於島狀多晶矽層114b兩側形成N型薄膜電晶體的源極/汲極摻雜區120。



五、發明說明 (6)

接著，請參照第1F圖，去除圖案化光阻層116，再於島狀多晶矽層114a、114b及氧化矽層104上覆蓋一閘極絕緣層122。然後，於閘極絕緣層122上形成另一圖案化光阻層124，以覆蓋島狀多晶矽層114a以及部分島狀多晶矽層114b，並暴露出島狀多晶矽層114b中鄰近源極/汲極摻雜區120的部位。隨後，進行一n-摻雜製程126，以形成N型薄膜電晶體的淺摻雜汲極區域128，同時定義出位於淺摻雜汲極區域128之間的通道區130。

然後，請參照第1G圖，去除圖案化光阻層124，再於閘極絕緣層122上形成另一圖案化光阻層132，以覆蓋島狀多晶矽層114b以及部分島狀多晶矽層114a，並暴露出島狀多晶矽層114b兩側上表面的部位。隨後，進行一p+摻雜製程134，以形成P型薄膜電晶體的源極/汲極摻雜區136，同時定義出位於源極/汲極摻雜區136之間的通道區138。

之後，請參照第1H圖，去除圖案化光阻層132。隨後，可於形成閘極前進行一活化製程(activation)。接著，於通道區138與130上形成閘極140a與140b。然後，於基板100上形成一層間介電層(inter-layer dielectric，簡稱ILD)142，以覆蓋島狀多晶矽層114a、114b與閘極140a、140b。

接著，請參照第1I圖，於層間介電層142與閘極絕緣層122中形成數個開口144，以暴露出源極/汲極摻雜區136與120，再形成數個源極/汲極接觸金屬146，源極/汲極接觸金屬146係藉由開口144而與源極/汲極摻雜區136與120



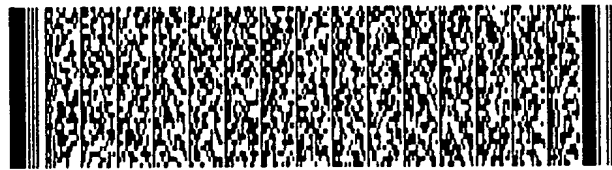
五、發明說明 (7)

電性連接。

之後，請參照第1J圖，於基板100上形成一保護層148，再於保護層148中形成另一開口150，以暴露出部分源極/汲極接觸金屬146，其中保護層148例如氮化矽層。最後，形成一畫素電極152，畫素電極152係藉由開口150而與源極/汲極接觸金屬146電性連接，其中畫素電極152之材質譬如銦錫氧化物(ITO)。由於本實施方式是利用既有的設備，去進行能夠調整啟動電壓之電漿處理製程，以使薄膜電晶體的啟動電壓往正或負的方向調整，所以可增加製程的彈性。

另外，從第1J圖可觀察出本發明之低溫多晶矽薄膜電晶體，係至少由島狀多晶矽層114a與114b、閘極140a與140b以及一閘極絕緣層122所構成。而閘極140a與140b係位於基板100上、島狀多晶矽層114a與114b則位於閘極140a與140b與基板100之間、閘極絕緣層122則配置於閘極140a與140b和島狀多晶矽層114a與114b之間。而且，島狀多晶矽層114a與114b包括一通道區138、130以及源/汲極摻雜區域136、120，其中通道區138、130是位於閘極140a與140b下、源/汲極摻雜區域136、120則位於通道區138、130兩側。

此外，以一氧化二氮(N_2O)電漿為例，通道區138、130中所含的氧(O)濃度(concentration)約在 $1E19-1E23$ atoms/cc之間，而氮(N)濃度則約在 $5E16-1E19$ atoms/cc之間。而且，本發明之低溫多晶矽薄膜電晶體除了實施方

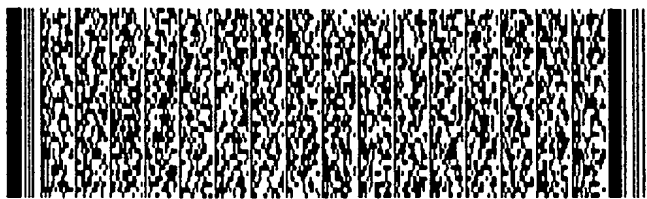


五、發明說明 (8)

式所描述的結構外，亦可應用於其他低溫多晶矽薄膜電體中，譬如如下閘極(bottom gate)型的低溫多晶矽薄膜電晶體。

本發明之特點在於利用既有的設備如電漿化學氣相沈積機台，在進行雷射熱退火製程之前，對非晶矽層進行電漿處理製程，以使薄膜電晶體的啟動電壓往正或負的方向調整，所以可增進製程彈性，而不需像習知一定得使用離子植入製程機台。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

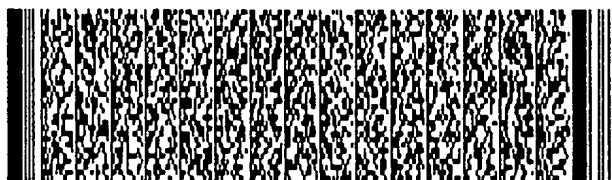


圖式簡單說明

第1A圖至第1J圖係依照本發明之一較佳實施例之低多晶矽薄膜電晶體的製造流程剖面圖。

圖式標示說明

- 100：基板
- 102：氮化矽層
- 104：氧化矽層
- 106：非晶矽層
- 108：電漿處理製程
- 110：雷射
- 112：掃描方向
- 114a、114b：島狀多晶矽層
- 116、124、132：圖案化光阻層
- 118、126、134：摻雜製程
- 120、136：源極/汲極摻雜區
- 122：閘極絕緣層
- 128：淺摻雜汲極區域
- 130、138：通道區
- 140a、140b：閘極
- 142：層間介電層
- 144、150：開口
- 146：源極/汲極接觸金屬
- 148：保護層
- 152：畫素電極



六、申請專利範圍

1. 一種低溫多晶矽薄膜電晶體的製造方法，適於形成一低溫多晶矽薄膜電晶體，該低溫多晶矽薄膜電晶體包括一通道區，其特徵在於對該通道區進行一電漿處理製程，以調整該低溫多晶矽薄膜電晶體的一啟動電壓。

2. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體的製造方法，其中對該通道區進行該電漿處理製程之步驟包括使用一含氧電漿，以使該啟動電壓往負的方向調整。

3. 如申請專利範圍第2項所述之低溫多晶矽薄膜電晶體的製造方法，其中該含氧電漿包括一氧化二氮電漿。

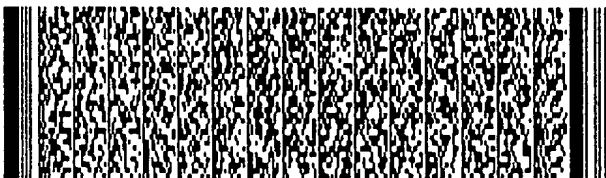
4. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體的製造方法，其中對該通道區進行該電漿處理製程之步驟包括使用一含氫電漿，以使該啟動電壓往正的方向調整。

5. 如申請專利範圍第4項所述之低溫多晶矽薄膜電晶體的製造方法，其中該含氫電漿包括氫電漿。

6. 如申請專利範圍第4項所述之低溫多晶矽薄膜電晶體的製造方法，其中該含氧電漿包括氮電漿。

7. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體的製造方法，其中對該通道區進行該電漿處理製程之步驟更包括藉由調整射頻電源(RF Power)，以決定該啟動電壓的改變量大小。

8. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體的製造方法，其中對該通道區進行該電漿處理製程之步



六、申請專利範圍

驟更包括藉由調整該電漿處理製程之製程時間，以決定該啟動電壓的改變量大小。

9. 一種低溫多晶矽薄膜電晶體的製造方法，包括：

於一基板上形成一非晶矽層；

進行一電漿處理製程；

進行一雷射熱退火製程，以使該非晶矽層成為一多晶矽層；

圖案化該多晶矽層，以形成複數個島狀多晶矽層；

於該些島狀多晶矽層上覆蓋一閘極絕緣層；

於每一該些島狀多晶矽層中分別形成一通道區與一位於該通道區兩側之源極/汲極摻雜區；以及

於該通道區上形成一閘極。

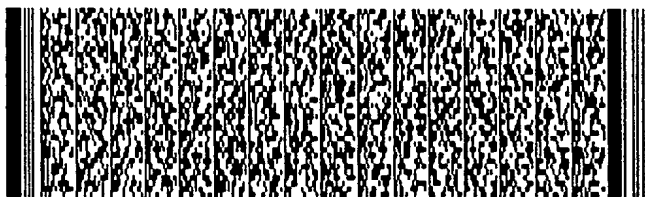
10. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體的製造方法，其中進行該電漿處理製程之步驟包括使用一含氧電漿，以使該啟動電壓往負的方向調整。

11. 如申請專利範圍第10項所述之低溫多晶矽薄膜電晶體的製造方法，其中該含氧電漿包括一氧化二氮電漿。

12. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體的製造方法，其中進行該電漿處理製程之步驟包括使用一含氬電漿，以使該啟動電壓往正的方向調整。

13. 如申請專利範圍第12項所述之低溫多晶矽薄膜電晶體的製造方法，其中該含氬電漿包括氬電漿。

14. 如申請專利範圍第12項所述之低溫多晶矽薄膜電晶體的製造方法，其中該含氧電漿包括氬電漿。



六、申請專利範圍

15. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體的製造方法，其中進行該電漿處理製程之步驟更包括藉由調整射頻電源(RF Power)，以決定該啟動電壓的改變量大小。

16. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體的製造方法，其中進行該電漿處理製程之步驟更包括藉由調整該電漿處理製程之製程時間，以決定該啟動電壓的改變量大小。

17. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體的製造方法，其中該雷射熱退火製程包括準分子雷射退火製程。

18. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體的製造方法，其中於該基板上形成該非晶矽層之前，更包括：

於該基板上形成一氮化矽層；以及

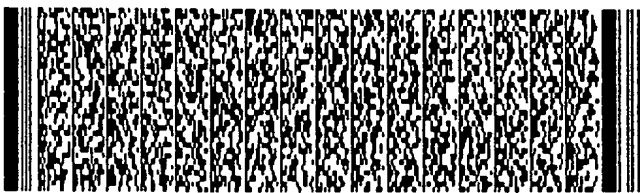
於該氮化矽層上形成一氧化矽層。

19. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體的製造方法，其中於每一該些島狀多晶矽層中分別形成該通道區與該位於該通道區兩側之源極/汲極摻雜區之步驟，包括：

於該閘極絕緣層上形成一第一圖案化光阻層，以暴露出各該島狀多晶矽層兩側上表面的部位；以及

進行一p+摻雜製程。

20. 如申請專利範圍第19項所述之低溫多晶矽薄膜電



六、申請專利範圍

晶體的製造方法，其中進行該 $p+$ 摻雜製程之後，更包括去除該第一圖案化光阻層。

21. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體的製造方法，其中於每一該些島狀多晶矽層中分別形成該通道區與該位於該通道區兩側之源極/汲極摻雜區之步驟，包括：

於該基板上形成一第二圖案化光阻層，以覆蓋部分各該島狀多晶矽層，並暴露出各該島狀多晶矽層兩側上表面；以及

進行一 $n+$ 摻雜製程。

22. 如申請專利範圍第21項所述之低溫多晶矽薄膜電晶體的製造方法，其中進行該 $n+$ 摻雜製程之後，更包括去除該第二圖案化光阻層。

23. 如申請專利範圍第22項所述之低溫多晶矽薄膜電晶體的製造方法，其中去除該第二圖案化光阻層之後，更包括：

於該閘極絕緣層上形成一第三圖案化光阻層，以暴露出各該島狀多晶矽層中鄰近該些源極/汲極摻雜區的部位；以及

進行一 $n-$ 摻雜製程，以形成一淺摻雜汲極區。

24. 如申請專利範圍第23項所述之低溫多晶矽薄膜電晶體的製造方法，其中進行該 $n-$ 摻雜製程之後，更包括去除該第三圖案化光阻層。

25. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶



六、申請專利範圍

體的製造方法，其中於該通道區上形成該閘極之前，更包括進行一活化製程。

26. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體的製造方法，更包括：

於該基板上形成一層間介電層；

於該層間介電層與該閘極絕緣層中形成複數個第一開口，以暴露出該些源極/汲極摻雜區；以及

形成複數個源極/汲極接觸金屬，該些源極/汲極接觸金屬係藉由該些第一開口而與該些源極/汲極摻雜區電性相連。

27. 如申請專利範圍第26項所述之低溫多晶矽薄膜電晶體的製造方法，更包括：

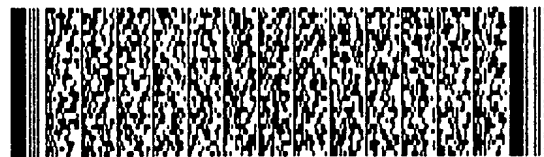
於該基板上形成一保護層；

於該保護層中形成一第二開口，以暴露出部分該些源極/汲極接觸金屬；以及

形成一畫素電極，該畫素電極係藉由該第二開口而與部分該些源極/汲極接觸金屬電性相連。

28. 一種低溫多晶矽薄膜電晶體，包括一多晶矽層、一閘極以及一閘極絕緣層，該閘極絕緣層位於該閘極與該多晶矽層之間，其中該多晶矽層具有一通道區，其特徵在於該通道區的氧濃度在 $1\text{E}19\text{--}1\text{E}23\text{ atoms/cc}$ 之間以及氮濃度在 $5\text{E}16\text{--}1\text{E}19\text{ atoms/cc}$ 之間。

29. 如申請專利範圍第28項所述之低溫多晶矽薄膜電晶體，更包括複數個源/汲極摻雜區域，位於該多晶矽層



六、申請專利範圍

中，且於該通道區兩側。

30. 如申請專利範圍第29項所述之低溫多晶矽薄膜電晶體，其中該些源/汲極摻雜區域包括p型摻雜區。

31. 如申請專利範圍第29項所述之低溫多晶矽薄膜電晶體，其中該些源/汲極摻雜區域包括n型摻雜區。

32. 如申請專利範圍第31項所述之低溫多晶矽薄膜電晶體，更包括一淺摻雜汲極區域，配置於該些源/汲極摻雜區域與該通道區之間。

33. 如申請專利範圍第29項所述之低溫多晶矽薄膜電晶體，更包括一層間介電層，配置於該閘極絕緣層上，其中該層間介電層具有複數個第一開口，以暴露出該些源極/汲極摻雜區。

34. 如申請專利範圍第33項所述之低溫多晶矽薄膜電晶體，更包括複數個源極/汲極接觸金屬，藉由該些第一開口而與該些源/汲極摻雜區域電性相連。

35. 如申請專利範圍第34項所述之低溫多晶矽薄膜電晶體，更包括一保護層，覆蓋該層間介電層以及該些源極/汲極接觸金屬，其中該保護層具有一第二開口，以暴露出部分該些源極/汲極接觸金屬。

36. 如申請專利範圍第35項所述之低溫多晶矽薄膜電晶體，其中該保護層包括氮化矽層。

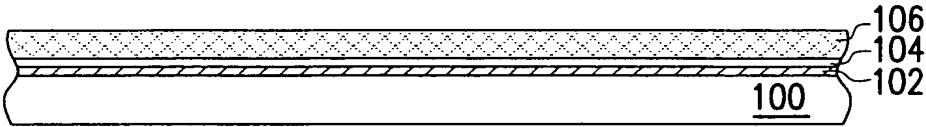
37. 如申請專利範圍第35項所述之低溫多晶矽薄膜電晶體，更包括一畫素電極，藉由該第二開口而與部分該些源極/汲極接觸金屬電性相連。



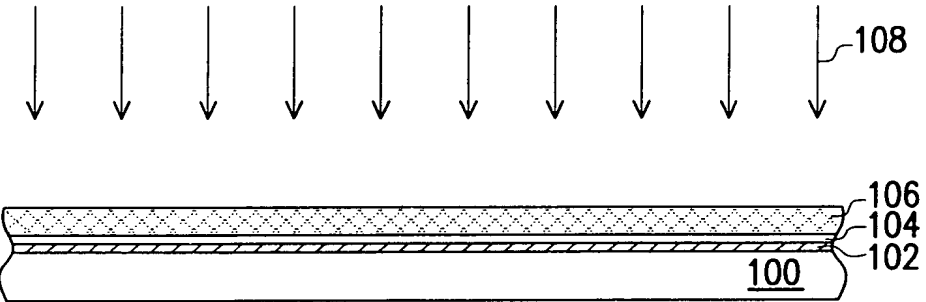
六、申請專利範圍

38. 如申請專利範圍第37項所述之低溫多晶矽薄膜電晶體，其中該畫素電極之材質包括銦錫氧化物。

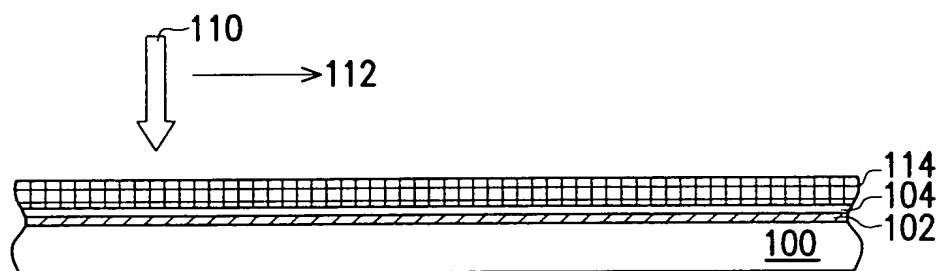




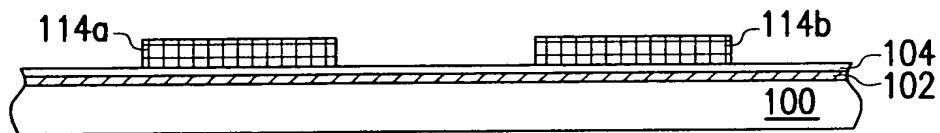
第 1A 圖



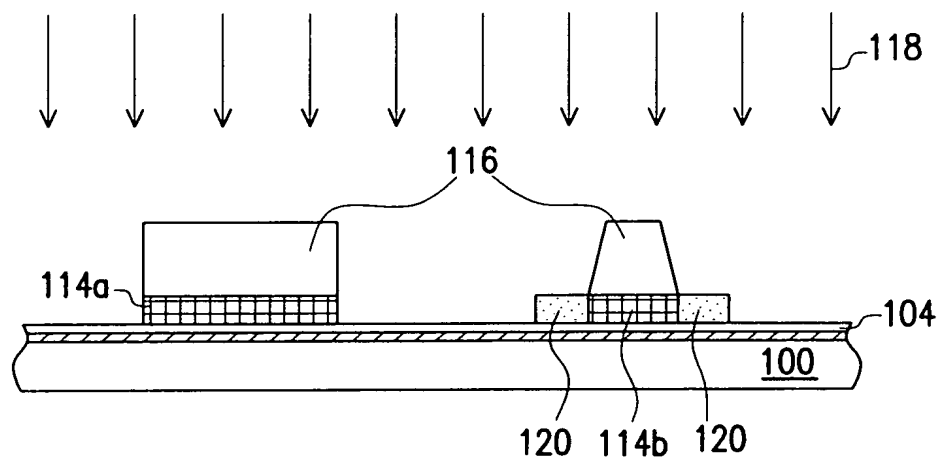
第 1B 圖



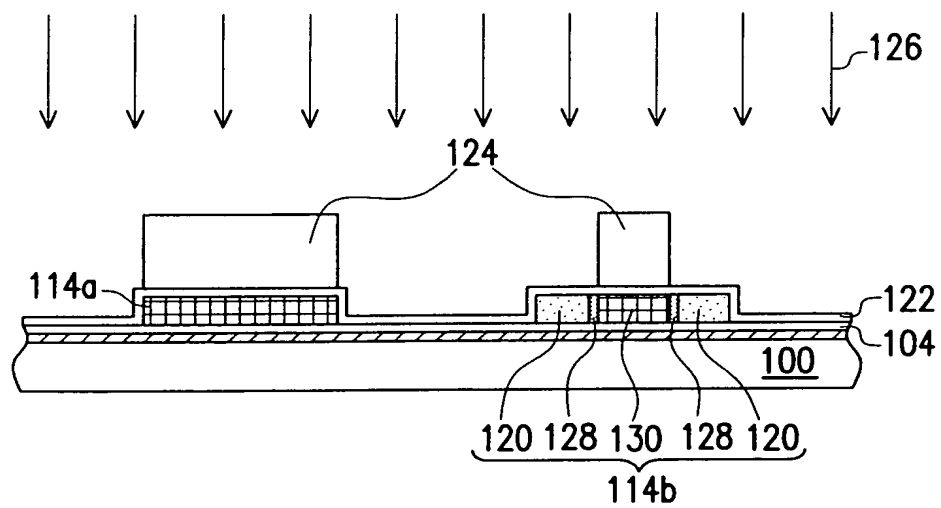
第 1C 圖



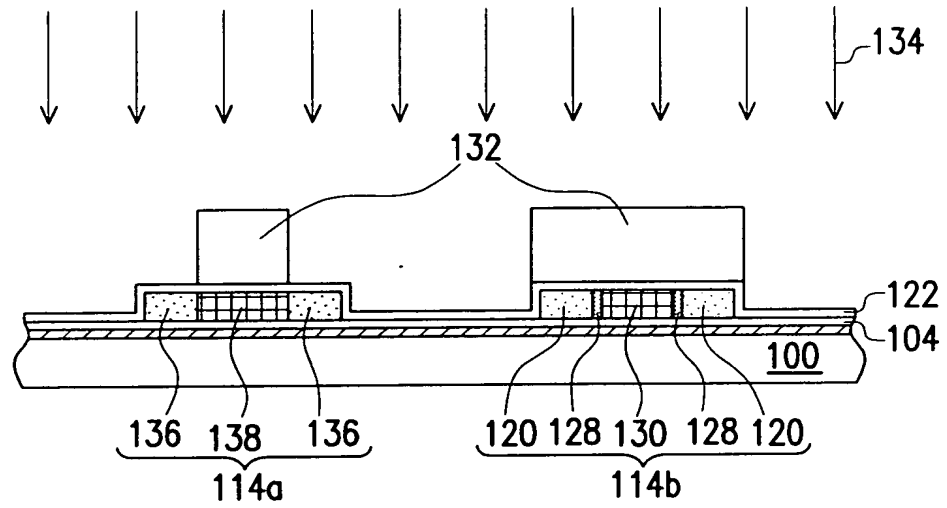
第 1D 圖



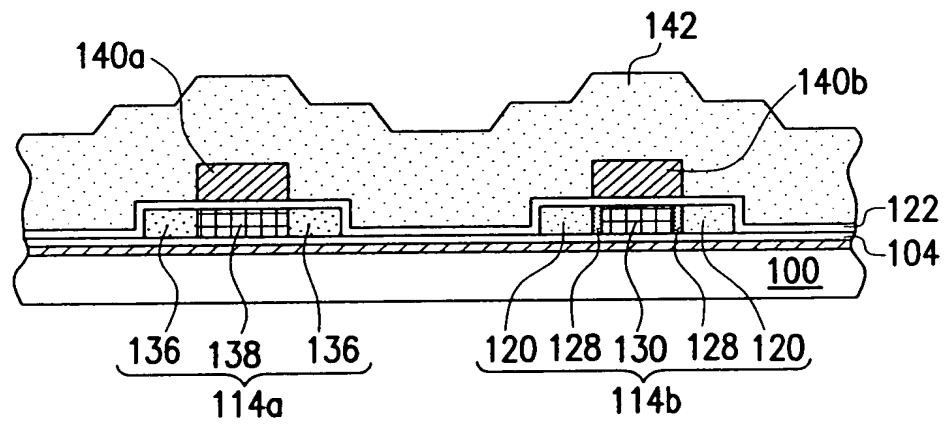
第 1E 圖



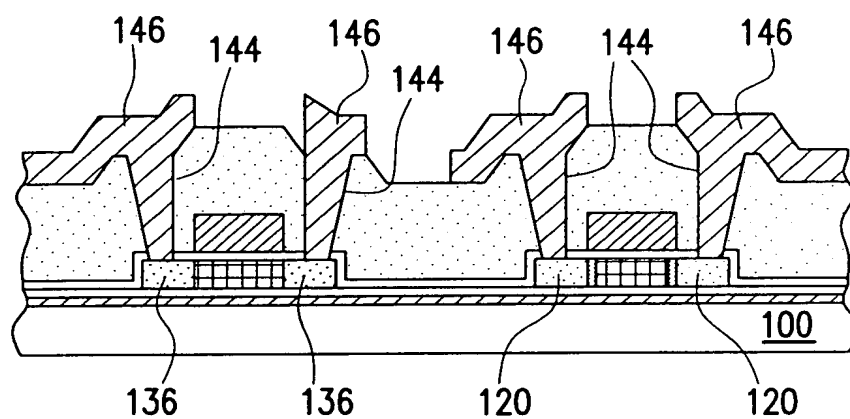
第 1F 圖



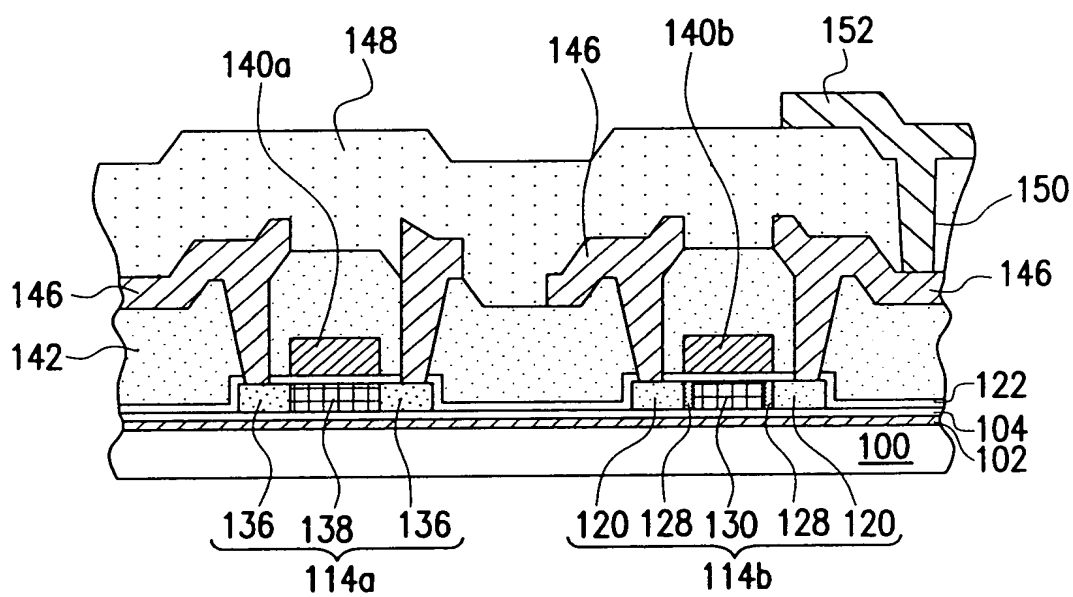
第 1G 圖



第 1H 圖

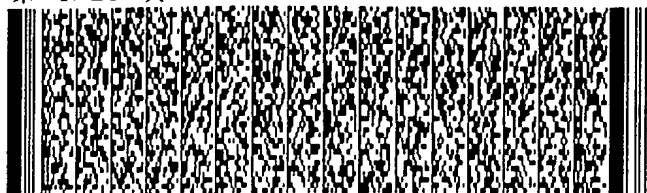


第 1I 圖

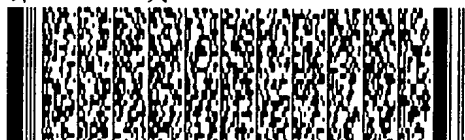


第 1J 圖

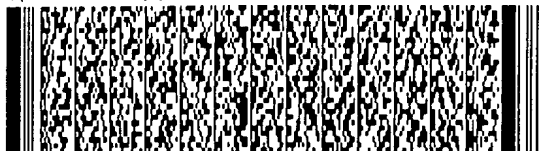
第 1/21 頁



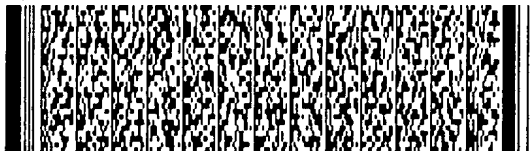
第 2/21 頁



第 3/21 頁



第 3/21 頁



第 4/21 頁



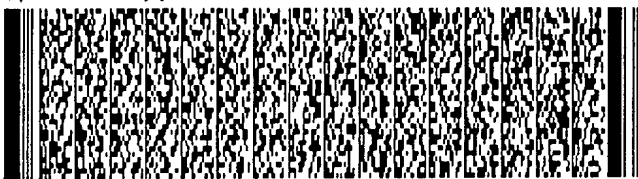
第 5/21 頁



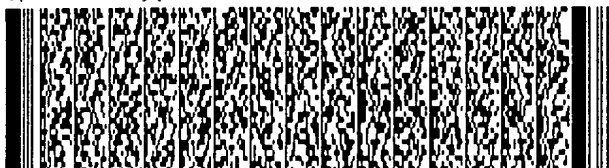
第 6/21 頁



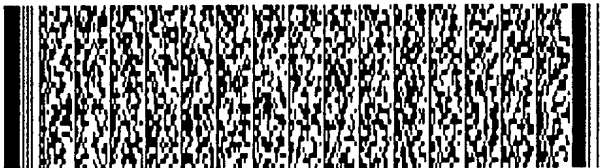
第 6/21 頁



第 7/21 頁



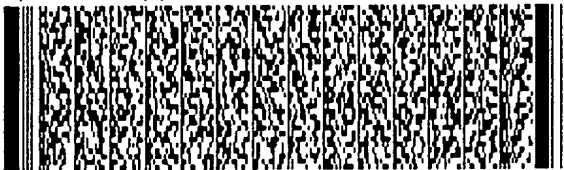
第 7/21 頁



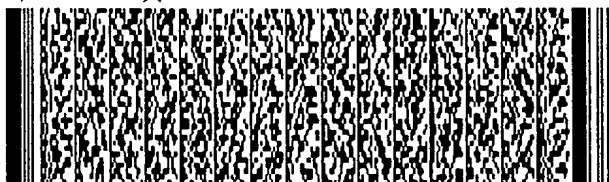
第 8/21 頁



第 8/21 頁



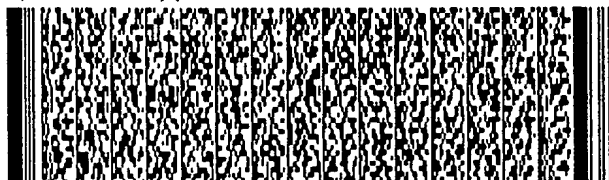
第 9/21 頁



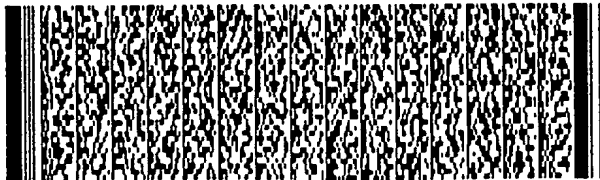
第 9/21 頁



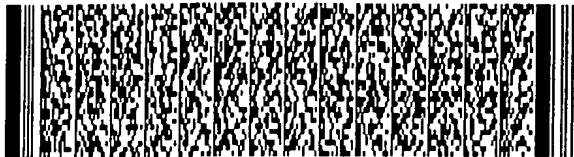
第 10/21 頁



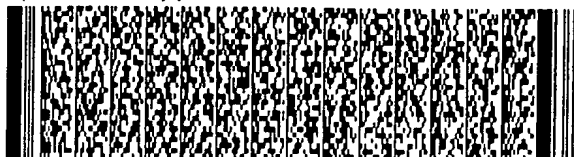
第 10/21 頁



第 11/21 頁



第 11/21 頁



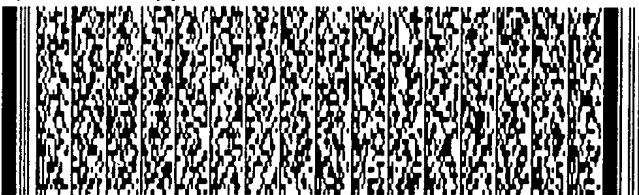
第 12/21 頁



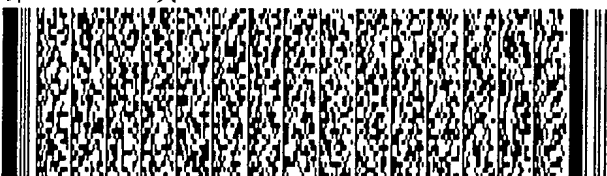
第 12/21 頁



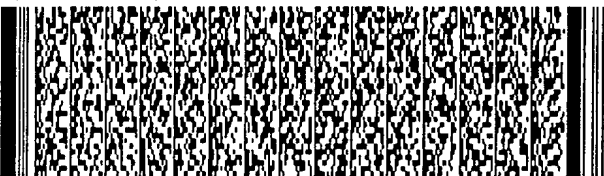
第 13/21 頁



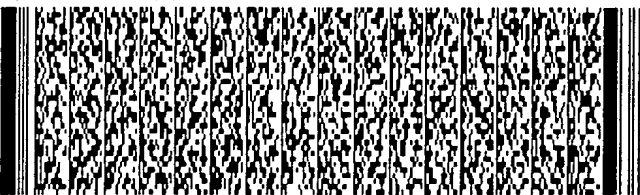
第 14/21 頁



第 15/21 頁



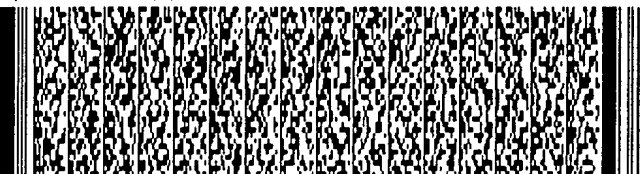
第 16/21 頁



第 17/21 頁



第 18/21 頁



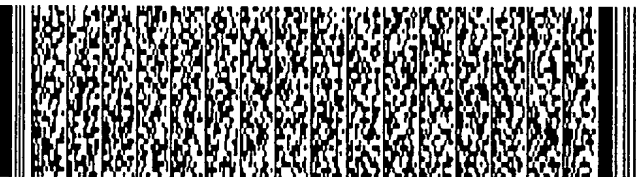
第 19/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

